

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
12. Mai 2005 (12.05.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/042401 A1

(51) Internationale Patentklassifikation: B81B 7/00

(72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): KNECHTEL, Roy
(DE/DE); Geraer Strasser 23, 98716 Geraerberg (DE).

(21) Internationales Aktenzeichen: PCT/DE2004/002413

(22) Internationales Anmeldedatum:
29. Oktober 2004 (29.10.2004)

(74) Anwälte: LEONHARD OLGEMOELLER FRICKE
usw.; Postfach 10 09 62, 80083 München (DE).

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 50 460.5 29. Oktober 2003 (29.10.2003) DE

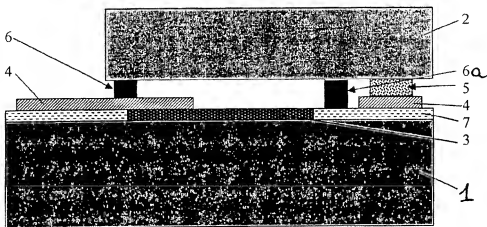
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): X-FAB SEMICONDUCTOR FOUNDRIES
AG [DE/DE]; Haarerbergstrasse 67, 99097 Erfurt (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AI, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,
PI, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM,
ZW.

[Fortsetzung auf der nächsten Seite]

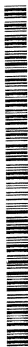
(54) Title: METHOD AND DEVICE FOR SECURE, INSULATED AND ELECTRICALLY CONDUCTIVE ASSEMBLING OF
TREATED SEMICONDUCTOR WAFERS

(54) Bezeichnung: FESTES ISOLIERENDES UND ELEKTRISCH LEITENDES VERBINDEN PROZESSIRTER HALBLEI-
TERSCHLEIBEN



(57) Abstract: The invention concerns a method and a device for assembling treated semiconductor wafers (1, 2), for obtaining not only a secure assembly, but an electrical connection (5) between the semiconductor wafers or between the electronic structures (3) comprising the latter as well. The invention is characterized in that the secure assembly is produced by means of structured intermediate glass layers (6, 6a), with low melting point, acting as insulating layers, and the electrical connection is produced by means of an electroconductive sealing glass (5).

(57) Zusammenfassung: Die Erfindung bezieht sich auf ein Verfahren und eine Anordnung der Verbindung von prozessierten Halbleiterschleiben (1,2), wobei zusätzlich zu dem festen Zusammenfügen eine elektrische Verbindung (5) zwischen den Halbleiterschleiben bzw. zwischen den diese tragenden elektronischen Strukturen (3) vorhanden ist. Dazu werden zwecks fester Verbindung niedrig schmelzende strukturierte Glaszwischen-schichten (6, 6a) als Isolierschichten und als elektrische Verbindung in Form von elektrisch leitfähigem Lot (5) auf Glasbasis eingesetzt.



A1

WO 2005/042401



(84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Erklärung gemäß Regel 4.17:

— *Erfinderesklärung (Regel 4.17 Ziffer iv) nur für US*

Veröffentlicht:

— mit internationalem Recherchenbericht
— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Festes isolierendes und elektrisch leitendes Verbinden prozessierter Halbleiterscheiben

Die Erfindung betrifft ein Verfahren zum Verbinden prozessierter Halbleiterscheiben mittels elektrisch leitender und elektrisch isolierender strukturierter Verbindungs-Zwischenschichten. Auch eine mit dem Verfahren herstellbare Scheibenanordnung ist betroffen.

Das Verbinden von prozessierten Halbleiterscheiben wird in der Fertigung von mikroelektronischen und mikroelektromechanischen Systemen eingesetzt, um bestimmte Strukturen durch eine Kappe bereits im Scheibenprozess abzudecken. Dieser Arbeitsgang ist zum einen notwendig, um empfindliche mechanische Strukturen während nachfolgender Bearbeitungsschritte zu schützen bzw. das eigentliche Verkapseln der Einzelelemente, z.B. optische Bauelemente, bereits im Scheibenverband vorzunehmen und somit spezielle Aufbauten zu ermöglichen. Übliche Verfahren zum Verbinden von z.B. System- und Deckscheibe sind das anodische und das direkte Bonden, sowie das Bonden mittels niedrig-schmelzender Glaszwischen-schichten (Glass-Frit-Bonden).

Dabei befinden sich in der Regel die mechanisch bzw. elektrisch aktiven Elemente auf der Systemscheibe. Die Deckscheibe hingegen dient meist nur als abdeckender Schutz (Kappe) und besitzt nach dem Stand der Technik keine oder nur wenig elektrische Strukturen.

Die oben aufgeführten Bondverfahren haben die Eigenschaft, daß die Scheiben nicht leitend miteinander verbunden werden. Dies liegt zum einen daran, daß die Deckscheibe selbst nicht leitend ist (anodisches Bonden). Zum anderen sind beim Bonden entstehende Zwischenschichten nicht leitend (Bondoxid beim direkten Bonden, Glaszwischen-schicht beim Glas-Frit-Bonden). Bei der Anwendung des Verkapselungsbondens ist es meist jedoch notwendig, gezielt den gesamten Deckel bzw. Strukturen auf dem Deckel elektrisch leitend anzuschließen. Ein elektrischer Anschluss des gesamten Deckels ist zum Teil notwendig, um ihn auf ein bestimmtes Potential, z.B. Masse, zu legen.

Für die Auslesung kapazitiver Sensoren sind Auswerteelektroden auf dem Deckel notwendig, die zur Systemscheibe hin kontaktiert werden müssen, um ein Drahtbonden während des Aufbau- und Verbindungsprozesses in einer Ebene zu ermöglichen.

5 Auch zur Erhöhung der Packungsdichte von Mikrosystemen ist es vorteilhaft, Auswerteschaltungen auf der Deckscheibe zu integrieren, wenn diese zur Systemscheibe elektrisch kontaktiert werden können. Bisher sind nur elektrische Scheibe-zu-Scheibe-Kontaktierungen vom anodischen Bonden bekannt. Dabei werden
10 Metallisierungsgebiete der zu verbindenden Scheiben in mechanischen Kontakt gebracht und durch die entstehende Scheibenverbindungskraft fest zusammengepresst, vgl. KADAR et al., Sensors & Actuators A52 (1996), Seiten 151-155 - Aluminium press-on contacts for glass to silicon anodic bonding.

15 Dieses Verfahren überzeugt nicht vollständig. Zum einem stören die elektrischen Kontaktgebiete die Ausbildung der eigentlichen Scheibenbondverbindung. Zum anderen besteht keine stoffliche Verbindung im Bereich der elektrischen Kontakte, so daß deren Zuverlässigkeit somit fraglich ist. Als am universellsten einsetzbares Scheibenbondverfahren für Verkapselungszwecke gilt das Glass-Frit-Bonden, da es sehr hohe Bondausbeuten liefert und aufgrund der planarisierenden Wirkung der
20 geschmolzenen Glaszwischen-schicht Oberflächenprofile der zu verbindenden Scheiben ausgleicht und somit laterale metallische Kontaktdurchführungen im Bondinterface ermöglicht.

25 Der Erfindung liegt die **technische Aufgabe** zugrunde, ein Verbindungsverfahren so zu gestalten, daß eine feste und bezüglich Hohlräumen dicht schließende Verbindung von zumindest zwei Halbleiterscheiben bei gleichzeitiger elektrischer Verbindung der Scheiben gegeben ist.

30 Gelöst wird die Aufgabe mit Anspruch 1, 11 oder 10 oder 20 (als Verfahren und Produkt).

Die Kombination von leitenden und isolierenden Glasstrukturen erreicht beim Glass-Frit-Bonden gezielt Bereiche der Deckscheibe um elektrisch angeschlossen zu werden.

Die Erfindung eignet sich besonders für mikroelektromechanische Strukturen, die mit Strukturen der Auswerte-Elektronik integriert sind. Darüber hinaus können auch mehr als zwei Halbleiterscheiben stapelförmig miteinander verbunden werden. In diesem Stapel gibt es dann auch Mittelbereiche, wobei Deckscheibe und Systemscheibe
5 gleichzeitig vorhanden sein können.

Die Erfindung anhand von Ausführungsbeispielen mit zwei Halbleiterscheiben unter
Zuhilfenahme der Zeichnung erläutert und ergänzt.

Figur 1 ist eine Systemscheibe 1, die mit einer Deckscheibe 2 nach einem Beispiel
eines Verfahrens verbunden wurde, in schematischer Schnittdarstellung
entlang der Linie/Ebene A-A von Figur 2.

Figur 2 ist die Aufsicht auf eine Anordnung, wie sie in Figur 1 gezeigt ist.

Figur 3 ist eine Variante der leitenden Verbindung zwischen Systemscheibe und
Deckscheibe.

Figur 4 ist eine weitere Variante der leitenden Verbindung zwischen
Systemscheibe und Deckscheibe analog Figur 3.

Wie in **Figur 1** dargestellt, verbinden niedrig schmelzende strukturierte isolierende
Glaszwischen-schichten 6, 6a, 6b und das elektrisch leitfähige Lot 5 auf Glasbasis
(Glaspaste) die Systemscheibe 1 mit der Deckscheibe 2, wobei gleichzeitig eine
selektive Kontaktierung der Deckscheibe 2 zur Systemscheibe 1, bzw. zwischen
elektrisch aktiven Strukturen 3 beider Scheiben hergestellt ist (als Produkt) bzw.
hergestellt wird (als Verfahren).

Verfahrensmäßig kann das Aufbringen und Vorschmelzen der beiden Glaslote 6, 5
getrennt und nacheinander vorgenommen werden. Dabei wird das Aufbringen und
Vorschmelzen des ersten Glaslots 6 (als strukturierte Schicht) vorgenommen, getrennt
und davon zeitlich beabstandet das Aufbringen und Vorschmelzen des zweiten
Glaslots 5 vorgenommen.

Aber auch ein nacheinander ablaufendes Aufbringen und ein gemeinsames
Vorschmelzen sind möglich, insbesondere im Temperaturbereich von 450°C.

Vor einem Vorschmelzen erfolgt ein Konditionieren der Glaspasten im üblichen Maße
und Umfang, so wie die gängigen Verfahren der Halbleitertechnik.

Im Bondprozess werden die leitenden und nicht leitenden Scheibenverbindungen
beispielsweise gleichzeitig ausgebildet. Dazu liegen die Verarbeitungstemperaturen der
beiden verwendeten Gläser im gleichen Bereich.

Im Bereich des nicht leitenden Glaslotes können metallische Leitbahnen 4, die sich auf der Systemscheibe 1 befinden und durch einen Zwischenisolator 7 zum Substrat hin isoliert sind, eingebettet werden. Dies ermöglicht den niederohmigen Anschluss der mit dem Deckel 2 zu schützenden Strukturen 3. Gleichzeitig können die zu deckelnden Strukturen hermetisch dicht verpackt werden.

Die hauptsächlich mechanisch tragende Scheibenverbindung 6, 6a, 6b ist durch das eine Glaslot zu realisieren. Dieses wird sehr gut in seiner thermischen Ausdehnung an Silizium angepasst. Die elektrischen Kontaktflächen sind klein zu halten, um mechanische Spannungen zu minimieren.

In der Aufsicht der **Figur 2** ist die Schnittlinie A eingezeichnet, welche mit einer Stufe versehen die Schnittansicht der Figur 1 ergibt. In Figur 2 ist dabei der Deckel 2 als Deckscheibe nur symbolisch abgebildet, eigentlich weggelassen, um auf die darunter liegenden Strukturen Einblick nehmen zu können. Die Scheibe 2 ist mit einem Karomuster belegt, ist hinsichtlich ihrer Randbereiche eindeutig zu der Figur 1 zugeordnet und verdeckt bzw. deckelt die zu schützende Struktur 3 ab, lässt aber gleichzeitig die hermetische Abdichtung und die mechanische Stützung durch die rahmenförmig aufgebaute Isolatorschicht (die strukturierte Schicht 6a, 6b, 6) erkennen. Auch die Bondinseln und die Leiterbahnen 4 sind in diesem Bild zu erkennen, außerhalb sowie unterhalb der Deckscheibe 2.

Werden als Systemscheiben SOI-Scheiben 8 (Silicon-on-insulator) angewendet, wie in **Figur 3** gezeigt, besteht die Möglichkeit, über das leitende Glaslot 5 das Substrat 11 der SOI-Scheibe elektrisch anzuschließen. Dazu ist die aktive Schicht 9 des SOI-Substrats sowie das vergrabene Oxid 10 an der entsprechenden Stelle zu öffnen, so daß das elektrisch leitende Glaslot 5 in die Öffnung fließen und somit die Trägerscheibe kontaktieren kann.

Um nur eine oder die gewünschten Stellen der aktiven Halbleiterschicht 9 anzuschließen wird die Halbleiterschicht 9 an den Lochwänden isoliert. Ein Zwischenisolator 7, siehe Figur 1, ist in Figur 3 nicht gezeigt. Da die gängigen SOI-basierten Technologien diese Teilschritte enthalten, entsteht kein Mehraufwand.

In einer Variante zu der Figur 3, die dort implizit schon mit beschrieben war, in **Figur 4** aber vollständig dargestellt ist, wird der Zwischenisolator 7a flächenmäßig definiert, innerhalb der Öffnung, die vom leitenden Glaslot 5 eingenommen wird, welches aber nicht zu der Halbleiterschicht 9 berührend vordringt, nachdem eine insbesondere

5 zylindrische Isolatorschicht 7a vorgesehen ist, die oben aufliegend auf der Halbleiterschicht 9 noch einen umlaufenden Rand, rund, eckig oder anderweitig geformt aufweisen kann. Erst oberhalb dieses Randes und der Halbleiterschicht 9 ist die Leiterbahn 4 vorgesehen. Im Übrigen ist die Ausführung nach Figur 4 so gestaltet, wie diejenige in Figur 3, so dass auf die dortige Beschreibung Bezug genommen wird.

10 Sind im Design der Systemscheibe 1 und der Deckscheibe 2 die entsprechenden elektrischen Kontaktflächen und notwendigen Scheibenverbindungsrahmen berücksichtigt, ist z.B. folgender Prozess zur Herstellung der elektrisch leitfähigen und isolierenden Scheibenverbindungen möglich:

- ☞ Siebdruck zum Aufbringen der elektrisch nicht leitenden Glaspaste 6 auf die Deckscheibe 2.
- 15 ☞ Konditionieren und Vorschmelzen der elektrisch nicht leitenden Glaspaste 6.
- ☞ Siebdruck zum Aufbringen der elektrisch leitenden Glaspaste 5 auf die Deckscheibe.
- ☞ Konditionieren und Vorschmelzen der elektrisch leitenden Glaspaste.
- 20 ☞ Ausrichten von System- und Deckscheibe.
- ☞ Bonden unter mechanischem Druck bei der Verarbeitungstemperatur der Gläser bzw. Glaspasten 5, 6.

25 Alternativ kann das Aufbringen der Gläser bzw. Glaspasten auch in umgekehrter Reihenfolge bzw. auf die Systemscheibe 1 erfolgen, bei entsprechend angepassten weiteren Verfahrensschritten, wie oben dargestellt.

Bezugszeichenliste

- 1 Systemscheibe mit mikroelektromechanischen
bzw. mit elektronischen Strukturen 3
- 2 Deckscheibe, insbesondere auch mit
elektronischen Strukturen versehen
- 3 zu schützende mikro-elektro-mechanische bzw.
elektronische Strukturen
- 4 Metallstrukturen, Zuleitungen und Bondinseln
(Bondpads)
- 5 elektrisch leitfähiges Verbindungsglas (erste
Glaspaste, strukturiert)
- 6 elektrisch isolierendes Verbindungsglas (zweite
Glaspaste, strukturiert)
- 7 Zwischenisolationsschicht
- 8 SOI-Scheibe (silicon on insulator)
- 9 aktive elektronische Strukturen tragende
Siliziumschicht (aktive Schicht)
- 7a Isolation in Öffnung der aktiven Schicht
- 10 vergrabenes Oxid der SOI-Scheibe
- 11 Trägerscheibe (Substrat)
- 12 Isolationsgräben in der aktiven Schicht 9.

Ansprüche:

1. **Verfahren** zum festen Verbinden von prozessierten Halbleiterscheiben, vorzugsweise zum Verbinden von - mikroelektromechanische oder elektronische - Strukturen tragenden Systemscheiben (1) mit Deckscheiben (2), die bevorzugt ebenfalls elektronische Strukturen tragen, wobei bei mehr als zwei Scheiben die in einem Mittelbereich des Stapels befindlichen Scheiben insbesondere gleichzeitig sowohl Systemscheibe als auch Deckscheibe sind;
wobei in einem Arbeitsgang eines mechanisch festen Verbindens sowohl elektrisch isolierende Verbindungen (6,6a,6b) als auch elektrisch leitende Verbindungen (5) zwischen den Halbleiterscheiben hergestellt werden;
mit zumindest folgenden spezifischen Hauptarbeitsgängen
 - Aufbringen von strukturierten Schichten elektrisch nicht leitender und elektrisch leitender Glaspaste, auf jeweils eine der beiden miteinander zu verbindenden Scheibenseiten;
 - Konditionieren und Vorschmelzen der Gläser oder Glaspasten (5,6);
 - geometrisches Ausrichten der zu verbindenden Scheiben;
 - Zusammenfügen, insbesondere Bonden der Scheiben bei einer Verarbeitungstemperatur der Gläser oder Glaspasten unter Anwendung von mechanischem Druck.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Glaspasten, insbesondere Glaslote im Siebdruckverfahren aufgebracht werden.
3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die nicht leitende, niedrig-schmelzende Glaspaste und die elektrisch leitende Glaspaste unterschiedliche Konditionier- und Vorschmelzbedingungen haben und daher das Konditionieren und Vorschmelzen nacheinander in einem jeweils getrennten Prozess vorgenommen wird.
4. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die nicht leitende niedrig-schmelzende Glaspaste und die elektrisch leitende Glaspaste eine im wesentlichen gleiche Verarbeitungstemperatur haben.

5. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die nicht leitende niedrig-schmelzende Glaspaste und die elektrisch leitende Glaspaste unterschiedliche Verarbeitungstemperaturen haben und diese in einem Prozess nacheinander durchfahren werden.
- 5 6. Verfahren nach Anspruch 1 und einem der Ansprüche 2 bis 5, dadurch gekennzeichnet, daß mindestens eine der Scheiben in einem elektronisch nicht strukturierten Bereich (Ausgangsmaterial-Bereich) elektrisch angeschlossen wird.
- 10 7. Verfahren nach Anspruch 1 und einem der Ansprüche 2 bis 6, dadurch gekennzeichnet, daß die Scheiben an bestimmten Schaltungspunkten in ihren elektronisch strukturierten Bereichen (3) elektrisch angeschlossen werden.
8. Verfahren nach Anspruch 1 und einem diesem folgenden Anspruch, dadurch
15 gekennzeichnet, dass die Verbindungsbildungen der Glaspasten bei einer Temperatur kleiner als 450 Grad Celsius erfolgt.
9. Verfahren nach Anspruch 1 und einem diesem folgenden Anspruch, dadurch gekennzeichnet, daß die elektrische Verbindung des Substrates bei SOI-Scheiben
20 über vorher erzeugte Öffnungen in einer vergrabenen Oxidschicht und in einer aktiven Siliziumschicht erfolgt, wobei insbesondere Wandbereiche der Öffnung in der aktiven Siliziumschicht vor der elektrischen Verbindung mit einer Isolierschicht (7a) versehen werden.
- 25 10. **Scheibenanordnung**, die nach dem Verfahren gemäß Anspruch 1 oder einem Verfahren der diesem folgenden Ansprüche hergestellt wurde oder herstellbar ist.

....

11. Verfahren zum festen Verbinden von prozessierten Halbleiterscheiben, vorzugsweise zum Verbinden von einer mikroelektromechanische oder elektronische Strukturen tragenden Systemscheibe (1) mit einer Deckscheibe (2), die insbesondere ebenfalls elektronische Strukturen trägt;
wobei in einem Arbeitsgang eines mechanisch festen Verbindens sowohl elektrisch isolierende Verbindungen als auch elektrisch leitende Verbindungen zwischen den Halbleiterscheiben hergestellt werden; mit zumindest folgenden spezifischen Hauptarbeitsgängen

- Aufbringen einer ersten, elektrisch nicht leitenden strukturierten Schicht und einer zweiten elektrisch leitenden Schicht aus jeweils einer Glaspaste (5,6), auf zumindest eine Seite der beiden miteinander zu verbindenden Scheiben (1,2);
- Konditionieren der Glaspasten (5,6);
- Vorschmelzen der konditionierten Glaspasten (5,6);
- geometrisches Ausrichten der zu verbindenden Scheiben (1,2);
- Zusammenfügen, insbesondere Bonden der Scheiben (1,2) bei einer Verarbeitungstemperatur der Glaspasten unter Anwendung von mechanischem Druck.

12. Verfahren nach Anspruch 11, wobei die Glaspasten (5,6), insbesondere Glaslote im Siebdruckverfahren aufgebracht werden.

13. Verfahren nach Anspruch 11, wobei die nicht leitende, niedrig-schmelzende Glaspaste (6,6a) und die elektrisch leitende Glaspaste (5) unterschiedliche Konditionier- und/oder Vorschmelzbedingungen haben, insbesondere das Konditionieren und das Vorschmelzen für jede der Pasten nacheinander in einem jeweils getrennten Prozeß vorgenommen wird.

14. Verfahren nach Anspruch 11, wobei die nicht leitende niedrig-schmelzende Glaspaste (5) und die elektrisch leitende Glaspaste (6) eine im wesentlichen gleiche Verarbeitungstemperatur haben.

15. Verfahren nach Anspruch 11, wobei die nicht leitende niedrig-schmelzende Glaspaste (5) und die elektrisch leitende Glaspaste (6) unterschiedliche Verarbeitungstemperaturen haben und diese in einem Prozess nacheinander durchfahren werden.

16. Verfahren nach Anspruch 11, wobei mindestens eine der Scheiben in einem elektronisch nicht strukturierten Bereich (Ausgangsmaterial-Bereich) elektrisch angeschlossen wird.
17. Verfahren nach Anspruch 11, wobei zumindest eine der Scheiben an bestimmten Schaltungspunkten in ihren elektronisch strukturierten Bereich(en) (3) elektrisch angeschlossen werden.
18. Verfahren nach Anspruch 11 und einem diesem folgenden Anspruch, wobei die Verbindungsbildungen der Glaspasten (6,5) bei einer Temperatur kleiner als 450°C erfolgt.
19. Verfahren nach Anspruch 11 und einem diesem folgenden Anspruch, wobei die elektrische Verbindung eines Substrates (11) einer SOI-Scheibe (8) über zumindest eine vorher erzeugte Öffnung in einer vergrabenen Oxidschicht (10) und in einer aktiven Siliziumschicht (9) erfolgt, wobei insbesondere Wandbereiche der Öffnung in der aktiven Siliziumschicht vor der elektrischen Verbindung (5) mit dem leitenden Glaslot mit einer Isolierschicht (7a) versehen werden.
20. **Verfahren** zum festen Verbinden prozessierter Halbleiterscheiben, vorzugsweise zum Verbinden von mikroelektromechanische bzw. elektronische Strukturen (3) tragenden Systemscheiben (1) mit Deckscheiben (2), die ebenfalls elektronische Strukturen tragen können, wobei bei mehr als zwei Scheiben die im Mittelbereich des Stapels befindlichen Scheiben gleichzeitig sowohl Systemscheibe als auch Deckscheibe sein können, bei dem im Arbeitsgang des mechanisch festen Verbindens sowohl elektrisch isolierende Verbindungen als auch elektrisch leitende zwischen den Halbleiterscheiben hergestellt werden, gekennzeichnet durch folgende spezifischen Hauptarbeitsgänge:
- Aufbringen von strukturierten Schichten elektrisch nicht leitender und elektrisch leitender Glaspasten, auf jeweils eine der beiden miteinander zu verbindenden Scheibenseiten;
 - Konditionieren und Vorschmelzen der Gläser (5,6);
 - geometrisches Ausrichten der zu verbindenden Scheiben;
 - Zusammenfügen (Bonden) der Scheiben bei der Verarbeitungstemperatur der Gläser unter Anwendung von mechanischem Druck.

1/2

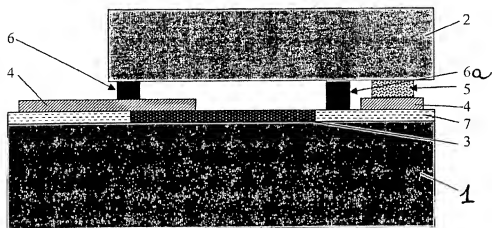
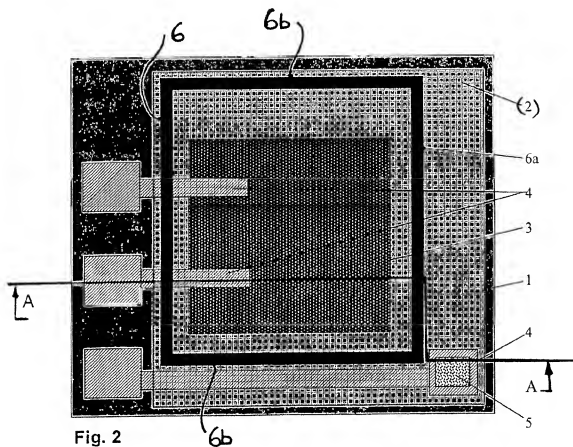


Fig. 1
(Schnitt A-A von Fig. 2)



2/2

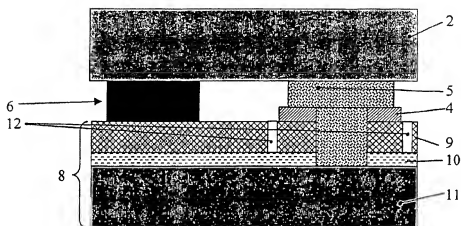


Fig. 3

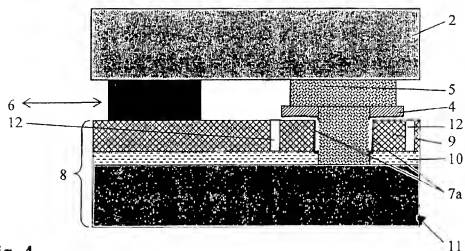


Fig. 4

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE2004/002413**A. CLASSIFICATION OF SUBJECT MATTER**
IPC 7 881B7/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 881B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No
A	US 2002/086456 A1 (CUNNINGHAM SHAWN JAY ET AL) 4 July 2002 (2002-07-04) paragraph '0055!; figures 1-3	1-20
A	US 6 020 646 A (BOYLE ET AL) 1 February 2000 (2000-02-01) column 6, line 65 - column 8, line 38; figures 3,4	1-20
A	EP 0 886 144 A (STMICROELECTRONICS S.R.L) 23 December 1998 (1998-12-23) column 5, lines 12-25; figure 1	1-20
A	US 5 164 328 A (DUNN ET AL) 17 November 1992 (1992-11-17) column 2, line 23 - column 3, line 12; figure 2	1-20
	----- -/-	

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

Z document member of the same patent family

Date of the actual completion of the international search

14 March 2005

Date of mailing of the International search report

22/03/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5816 Patentkan 2
NL - 2250 HV Rijswijk
Tel: (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Götz, A

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/DE2004/002413

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A, P	JIN Y ET AL: "MEMS vacuum packaging technology and applications" ELECTRONICS PACKAGING TECHNOLOGY, 2003 5TH CONFERENCE (EPTC 2003) DEC. 10-12, 2003, PISCATAWAY, NJ, USA, IEEE, 10 December 2003 (2003-12-10), pages 301-306, XP010687486 ISBN: 0-7803-8205-6 the whole document -----	1-20
A	US 5 955 771 A (KURTZ ET AL) 21 September 1999 (1999-09-21) column 6, line 1 - column 7, line 10; figure 7c -----	1-20
A	US 6 517 399 B1 (ITO NOBUHIRO ET AL) 11 February 2003 (2003-02-11) column 28, lines 11-24; figure 11 -----	1-20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE2004/002413

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2002086456 A1	04-07-2002	AU 3966202 A	01-07-2002
		WO 02057824 A2	25-07-2002
		WO 02056061 A2	18-07-2002
		WO 02084335 A2	24-10-2002
		WO 0250874 A2	27-06-2002
		WO 02079814 A2	10-10-2002
		WO 02061486 A1	08-08-2002
		US 2002181838 A1	05-12-2002
		US 2003021004 A1	30-01-2003
		US 2002114058 A1	22-08-2002
		US 2002113281 A1	22-08-2002
		US 2002104990 A1	08-08-2002
		WO 02097767 A2	05-12-2002
		WO 02071371 A2	12-09-2002
		US 2002104823 A1	08-08-2002
US 6020646 A	01-02-2000	AU 1593399 A	28-06-1999
		EP 1038316 A1	27-09-2000
		TW 512508 B	01-12-2002
		WO 9930364 A1	17-06-1999
		US 6204090 B1	20-03-2001
		ZA 9811118 A	20-07-1999
EP 0886144 A	23-12-1998	EP 0886144 A1	23-12-1998
		JP 11094506 A	09-04-1999
		US 6405592 B1	18-06-2002
US 5164328 A	17-11-1992	JP 6013426 A	21-01-1994
US 5955771 A	21-09-1999	NONE	
US 6517399 B1	11-02-2003	JP 2000164129 A	16-06-2000
		US 2003045199 A1	06-03-2003